

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Keiichi MURAYAMA et al.

Serial No. NEW : **Attn: APPLICATION BRANCH**

Filed December 31, 2003 : Attorney Docket No. 2003_1893A

HETERO-JUNCTION BIPOLAR TRANSISTOR
AND MANUFACTURING METHOD THEREOF

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-186827, filed June 30, 2003, and Japanese Patent Application No. 2003-348750, filed October 7, 2003, as acknowledged in the Declaration of this application.

Certified copies of said Japanese Patent Application are submitted herewith.

Respectfully submitted,

Keiichi MURAYAMA et al.

By *Michael S. Huppert*
Michael S. Huppert
Registration No. 40,268
Attorney for Applicants

MSH/kjf
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
December 31, 2003



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月30日
Date of Application:

出願番号 特願2003-186827
Application Number:
[ST. 10/C] : [JP 2003-186827]

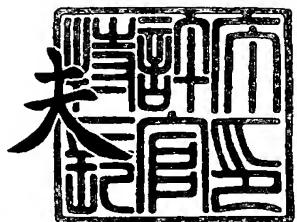
出願人 松下電器産業株式会社
Applicant(s):

日本
特許
庁
長官
印

2003年 7月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康



出証番号 出証特2003-3059399



【書類名】 特許願

【整理番号】 2926950007

【提出日】 平成15年 6月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331

H01L 29/73

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 村山 啓一

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 田村 彰良

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 能米 雅信

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】**【識別番号】** 100109667**【弁理士】****【氏名又は名称】** 内藤 浩樹**【手数料の表示】****【予納台帳番号】** 011305**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9809938

【書類名】 明細書

【発明の名称】 ヘテロ接合バイポーラトランジスタ

【特許請求の範囲】

【請求項1】 n型のGaAsのサブコレクタ層上に、前記サブコレクタ層よりアバランシェ係数の小さい半導体材料からなるn型の第1のコレクタ層と、i型又は前記サブコレクタ層より低濃度のn型のGaAsからなる第2のコレクタ層が順次形成されて成るコレクタ層を少なくとも持ち、前記第2のコレクタ層上にp型のGaAsベース層、前記ベース層よりバンドギャップの大きな半導体材料からなるn型のエミッタ層が順次形成されてなるヘテロ接合バイポーラトランジスタ。

【請求項2】 前記第1のコレクタ層の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項3】 前記第1のコレクタ層の膜厚が200nm未満であることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項4】 前記第1のコレクタ層は不純物の濃度が連続的に表面に向けて低濃度になっていくことを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項5】 n型のGaAsのサブコレクタ層上に、前記サブコレクタ層よりアバランシェ係数の小さい半導体材料からなるn型の第1のコレクタ層と、i型又は前記サブコレクタ層より低濃度のn型のGaAsからなる第2のコレクタ層が順次形成されて成るコレクタ層を少なくとも持ち、前記第2のコレクタ層上にp型のGaAsベース層、前記ベース層よりバンドギャップの大きな半導体材料からなるn型のエミッタ層が順次形成されているヘテロ接合バイポーラトランジスタであって、

前記第1のコレクタ層と前記第2のコレクタ層との間に伝導帯の不連続を緩和する半導体層が存在していることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項6】 前記半導体層は前記第1のコレクタ層又は前記第2のコレクタ層と同一の材料であって不純物の濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下であるスペーサ層

であることを特徴とする請求項5記載のヘテロ接合バイポーラトランジスタ。

【請求項7】 前記半導体層は前記第1のコレクタ層と同一の材料あって不純物の濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である第1のスペーサ層と、前記第2のコレクタ層と同一の材料からなる不純物の濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下の第2のスペーサ層であることを特徴とする請求項5記載のヘテロ接合バイポーラトランジスタ。

【請求項8】 前記第1のコレクタ層がIn_{0.48}GaPからなることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項9】 前記第1のコレクタ層がディスオーダのIn_{0.48}GaPからなることを特徴とする請求項8記載のヘテロ接合バイポーラトランジスタ。

【請求項10】 前記第1のコレクタ層がAl_xGa_{1-x}Asからなることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項11】 前記第1のコレクタ層のAl組成がグレーディッドに変化していることを特徴とする請求項10記載のヘテロ接合バイポーラトランジスタ。

【請求項12】 前記エミッタ層に用いられる半導体材料がIn_{0.48}GaPであることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項13】 前記エミッタ層に用いられる半導体材料がAl_xGa_{1-x}Asであることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヘテロ接合バイポーラトランジスタに関するものである。

【0002】

【従来の技術】

エミッタにバンドギャップの大きな半導体を用いたヘテロ接合バイポーラトランジスタ(Heterojunction Bipolar Transistor: HBT)は携帯電話などに用いる高周波アナログ素子として実用化されている。特にエミッタにInGaPを用いたInGaP/GaAs HBTは、温度依存性が小さく、高信頼性のデバイスとして使用方法は今後ますます多岐にわたっていくと予想される。

【0003】

以下に図を用いて、一般的な InGaP/GaAs HBTのデバイス構造及びその製造方法を説明する（例えば、特許文献1参照。）。

【0004】

図6はn-p-n型InGaP/GaAs HBTの構造を示す断面図である。図6において、201は半絶縁性GaAs基板、202はn型不純物を高濃度に添加したn⁺型GaAsサブコレクタ層が積層され、このサブコレクタ層202上に低不純物濃度のn型もしくはノンドープのGaAsコレクタ層203、高濃度p型GaAsのベース層207、n型のInGaPエミッタ層208が順に積層され、これらの層はサブコレクタ層202上に範囲を限定して形成された凸部となっている。さらにエミッタ層208上に、n型GaAsのエミッタキャップ層209と低接触抵抗のn型InGaAsエミッタコンタクト層210が順次積層されており、エミッタキャップ層209とエミッタコンタクト層210はさらに範囲を限定して2段目の凸部構造になっている。エミッタコンタクト層210上に例えばTi/Pt/Auなどのエミッタ電極251が形成されており、Ptを含む多層メタルなどのベース電極252はエミッタキャップ層208周辺に露出しているエミッタ層208上から熱拡散させてベース層207と接触させ、AuGe/Ni/Auなどのコレクタ電極253はサブコレクタ層202上に形成されている。単位HBTを電気的に分離するために素子周辺領域にはサブコレクタ層202から基板201に達する素子分離領域254がイオン注入と不活性化熱処理により形成されている。

【0005】**【特許文献1】**

特開2000-260783号公報

【0006】**【発明が解決しようとする課題】**

近年InGaP/GaAs系HBTの使用用途は拡大し、携帯電話送信アンプに限定しても、従来のCDMA方式のみならずGSM方式端末送信部におけるパワーデバイスとしての実用化が検討されている。

【0007】

GSM方式で使用する場合、HBTに対してより高出力化・高耐破壊化が求められており、従来のInGaP/GaAs HBT技術では、要求される耐破壊レベルを満たすことが出来ない。

【0008】

耐破壊性はVSWR（電圧定在波比）=20:1で破壊されないことが要求されており、このレベルを満たすInGaP/GaAs系HBTを開発することがGSM方式の送信アンプに使用するために必要不可欠である。

【0009】

図4を用いて、HBTの破壊の現象について説明する。

【0010】

図4はInGaP/GaAs HBTのVc-Ic特性と、各Ib電流時でのトランジスタが破壊する点をプロットした破壊曲線を図示したものである。図3に示すように、破壊曲線は低電流領域Aでの破壊と大電流領域Bでの破壊に分けることができ、GSM方式のパワー動作におけるデバイスの破壊は領域Bのコレクタ電圧6V近傍における破壊領域に負荷曲線が重なっていることが原因と考えられている。

【0011】

我々の行った電界強度シミュレーション結果を図5に示す。図5における横軸はエミッタ層表面からサブコレクタ層への距離を示し、縦軸は各電流値での電界強度を示す。図5(a)の低電流領域ではベース・コレクタ界面に最大電界が印加されているが、電流が増大(b)しコレクタ濃度を超える濃度の電子がコレクタに注入されると(Kirk効果)、最大電界が印加される領域がベース側からサブコレクタ側に移行していく。更に電流が増大(c)すると、コレクタ・サブコレクタ界面で最大電界が発生することが定性的に確認できる。

【0012】

この現象の詳細な説明資料として、著者A. Szeによる参考図書 2nd edition of Semiconductor Devices のページ147を紹介する。

【0013】

図4における、低電流領域Aでの破壊は図5（a）に相当し、ベースコレクタ界面においてアバランシェブレークダウンが発生し、デバイス破壊に至っている。一方、大電流領域Bでの破壊は図5（c）に相当し、コレクタサブコレクタ界面に最大電界が発生しアバランシェブレークダウンが起こりデバイス破壊に至っている。

【0014】

本発明は前記破壊の原因となる大電流時におけるコレクタ・サブコレクタ界面におけるアバランシェブレークダウンを抑制することにより、HBTの耐破壊性を改善し、VSWR 20:1を達成するGSM向けのヘテロ接合バイポーラトランジスタを提供することにある。

【0015】

【課題を解決するための手段】

本発明のヘテロ接合バイポーラトランジスタは、n型のGaAsのサブコレクタ層上に、前記サブコレクタ層よりアバランシェ係数の小さい半導体材料からなるn型の第1のコレクタ層と、i型又は前記サブコレクタ層より低濃度のn型のGaAsからなる第2のコレクタ層が順次形成されて成るコレクタ層を少なくとも持ち、前記第2のコレクタ層上にp型のGaAsベース層、前記ベース層よりバンドギャップの大きな半導体材料からなるn型のエミッタ層が順次形成されることを特徴とする。

【0016】

この構成により大電流印加時におけるコレクタ層とサブコレクタ層界面の電界が集中する領域にアバランシェ係数の小さい半導体材料を挿入することにより、GaAs系HBTの耐破壊性を向上できる。

【0017】

さらに、本発明のヘテロ接合バイポーラトランジスタは、前記第1のコレクタ層と前記第2のコレクタ層との間に伝導帯の不連続を緩和する半導体層が存在していることを特徴とする。この構成によりコレクタ抵抗を低減することができ、オン抵抗の上昇も抑えられるため、高効率・高耐破壊のGSM向けHBTを作成することが可能となる。

【0018】

【発明の実施の形態】

本発明のヘテロ接合バイポーラトランジスタの実施の形態を図を用いてより詳細に説明する。図1は、本発明のヘテロ接合バイポーラトランジスタの構造を示す断面図である。

【0019】

図1に示すように、ヘテロ接合バイポーラトランジスタは半絶縁性GaAs基板101上に、n型不純物を $5 \times 10^{18} \text{ cm}^{-3}$ 高濃度にドープしたn⁺型GaAsサブコレクタ層102が形成されている。またサブコレクタ層102上には、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚100nmのIn_{0.48}GaP第1のコレクタ層103、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚10nmのIn_{0.48}GaP第1のスペーサ層104が積層され、第1のスペーサ層104上の所定領域に凸部形状で、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚10nmのGaAs第2のスペーサ層105、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ のn型に不純物ドープされたGaAsから成る500nmの第2のコレクタ層106、不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ のp型にドープされた厚さ100nmのGaAsベース層107、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型にドープされた膜厚50nmのIn組成比が約48%のIn_{0.48}GaPエミッタ層108が順に積層されている。これらの積層構造はサブコレクタ層102上で2段の凸部を形成している。

【0020】

第1のコレクタ層103の半導体材料In_{0.48}GaPはサブコレクタ層102の半導体材料GaAsよりアバランシェ係数が小さい材料である。

【0021】

第2のコレクタ層106はn型に不純物ドープされたGaAsであるが、ノンドープのi型のGaAsであってもよい。

【0022】

In_{0.48}GaP第1のコレクタ層103とn型GaAs第2のコレクタ層106間には、伝導帯の不連続を緩和するための不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のI

n_{0.48}GaP第1のスペーサ層104と不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のGaAs第2のスペーサ層105とが積層されているが、なくてもよい。伝導帯の不連続を緩和するためスペーサ層は第1のスペーサ層104もしくは第2のスペーサ層105がいずれかあればよい。

【0023】

また、スペーサ層の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以下にすることにより、スペーサ層での電界集中を抑制することができる。

【0024】

さらにエミッタ層108上には、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚200nmのGaAsエミッタキャップ層109、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚100nmのInGaAsエミッタコンタクト層110が凸部形状で積層されている。

【0025】

第1のコレクタ層103／第1のスペーサ層104が露出した部分に形成されたコレクタ窓のGaAsサブコレクタ層102上にコレクタ電極153としてAuGe/Ni/Auが蒸着により形成されている。

【0026】

エミッタコンタクト層110上にはPt/Ti/Pt/Auのエミッタ電極151が形成され、エミッタキャップ層109周辺のエミッタ層108の露出した部分にPt/Ti/Pt/Auがベース電極152として形成され、ベース電極152は熱処理によりベース層107にオーミック接触されている。

【0027】

第1のコレクタ層103の厚みは100nmであるが、最終の素子の保護膜形成や配線形成の段切れを考慮すると200nm未満であればよい。

【0028】

単位HBTを電気的に分離するために素子周辺領域には第1のコレクタ層103／第1のスペーサ層104から基板101に達する素子分離領域154が形成されている。

【0029】

GaAsサブコレクタ層102上に、サブコレクタ層よりアバランシェ係数の小さいIn0.48GaPからなるn型の第1のコレクタ層と、サブコレクタ層102より低濃度のn型のGaAsの第2のコレクタ層が順次形成されているため、コレクタ・サブコレクタ界面におけるアバランシェブレークダウンを抑制することができ、これにより、HBTの耐破壊性を改善し、VSWR 20:1を達成するGSM向けのヘテロ接合バイポーラトランジスタが得られる。

【0030】

なお、上記実施の形態ではIn0.48GaP第1のコレクタ層103のn型不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ と一定であるが、不純物濃度がサブコレクタ界面では $5 \times 10^{18} \text{ cm}^{-3}$ で第1のコレクタ層の表面では $1 \times 10^{17} \text{ cm}^{-3}$ になるように、表面に向けて徐々に不純物濃度が低濃度になった第1のコレクタ層であってもよい。上記の構成によれば、コレクタ・サブコレクタ界面での伝導帯の不連続が緩和されるためにさらに良い。

【0031】

本発明の実施の形態では第1のコレクタ層103としてはIn0.48GaPを用いたがディスオーダのIn0.48GaPであれば、なおコレクタ抵抗を低減させることができる。

【0032】

また半導体材料としては、アバランシェ係数の小さいAl_xGa_{1-x}Asであってもよい。Al組成をサブコレクタ界面から第1のコレクタ層の表面に向けてグレーディッドに減少変化させるとコレクタ抵抗の増大をさらに抑制することができる。

【0033】

なお、第1のコレクタ層材料はAlGaAs、GaPなど他のアバランシェ係数の小さい半導体材料であればこれに限定されず、従来の技術に対し、高い破壊耐性を有したHBTの作製が可能である。

【0034】

本実施の形態では、エミッタ層108としてn型InGaPを用いたが、AlGaAsを用いても同様の効果が得られる。

【0035】

次に、上記のHBTの製造方法について図2、図3を参照しながら説明する。

図2、図3はHBTの製造工程を示す断面図である。

【0036】

まず、図2 (a) に示すようにMBE法（分子線エピタキシ法）もしくはMOCVD法（有機金属化学気相成長法）などの結晶成長法により、半絶縁性GaN基板101上にn型不純物を $5 \times 10^{18} \text{ cm}^{-3}$ 高濃度にドープしたn⁺型GaNサブコレクタ層102と、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚100nmのIn_{0.48}GaN第1のコレクタ用膜113、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚10nmのIn_{0.48}GaN第1のスペーサ用膜114、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚10nmのGaN第2のスペーサ用膜115、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ のn型に不純物ドープされたGaNから成る膜厚500nmの第2のコレクタ用膜116、不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ のp型にドープされた厚さ100nmのGaNベース用膜117、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型にドープされた膜厚50nmのIn_{0.48}GaNエミッタ用膜118、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚200nmのGaNエミッタキャップ用膜119、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ のn型に不純物ドープされた膜厚100nmのInGaNエミッタコンタクト用膜120とを順に積層する。

【0037】

次いで、エミッタ形成領域をフォトレジスト141で保護し、磷酸・過酸化水素・水の混合溶液でn型InGaNエミッタコンタクト用膜120及び、n型GaNエミッタキャップ用膜119を順次エッチングし、エミッタ島領域を形成する（図2 (b)）。

【0038】

このとき、n型In_{0.48}GaNエミッタ用膜118は殆どエッチングされない。

【0039】

しかし後、別のフォトレジストマスク142で全面を水で希釈した塩酸によりn型In0.48GaPエミッタ用膜118を選択的にエッチングし、次にそのn型In0.48GaPエミッタ層108をマスクに、p型GaAsベース用膜117及びn型GaAs第2のコレクタ用膜116、n型GaAs第2のスペーサ用膜115を磷酸・過酸化水素・水の混合液で順次除去し、ベース島領域を形成する（図2（c））。

【0040】

InGaPである第1のスペーサ用膜114が磷酸・過酸化水素系エッチング液に対するエッチングストップする選択エッチングであるため、従来の技術と比較してベース島領域を形成する際のエッチング深さ精度を大幅に向上させることができる。

【0041】

次に各単位HBTセルを分離するためにフォトレジスト143を形成し、InGaP第1のスペーサ用膜114、InGaP第1のコレクタ用膜113、GaAsサブコレクタ層102にHeイオン注入を行う。Heイオン注入条件として、加速電圧200keV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ を用いて、素子分離領域154を形成する（図3（a））。

【0042】

次にコレクタ電極形成領域を開口するフォトレジスト144を形成し、水で希釈した塩酸によりInGaP第1のスペーサ用膜114、InGaP第1のコレクタ用膜113を選択的にエッチングし、露出したGaAsサブコレクタ層102上にコレクタ電極153としてAuGe/Ni/Auを蒸着により形成し、フォトレジスト上の金属をリフトオフしてコレクタ電極を形成する（図3（b））。

【0043】

GaAsであるサブコレクタ層102が水で希釈した塩酸によるエッチングのストッパー層として働くため、非常に高い加工性でコレクタ電極を形成するためのエッチングを行うことが可能となる。

【0044】

次にエミッタ、ベース各電極を形成するためのレジストパターニング145を行い、エミッタ・ベース電極を蒸着、リフトオフ法により形成する。本発明の実施の形態においては、ベース電極152、エミッタ電極151としてPt/Ti/Pt/Auを同時形成した(図3(c))。

【0045】

次にエミッタ・ベース・コレクタ各電極151、152、153の合金化と、素子分離領域154のイオン注入分離の不活性化のための熱処理を行うことにより、ベース電極152はベース層107にオーム接觸され図1に示すHBTが完成する。

【0046】

本発明の実施の形態では、第1のスペーサ用膜114としてInGaPを用い、磷酸・過酸化水素系エッティング液に対するエッティングストッパー層として利用したが、第1のスペーサ用膜114としてAlGaAsを用いた場合、エッティング液としてクエン酸・過酸化水素系エッティング液を用いるとAlGaAsがエッティングストッパー層として働くため、InGaPを用いたときと同様にベース島領域形成時のエッティング加工精度を大幅に向上させることができる。

【0047】

【発明の効果】

以上述べたように、本発明によれば、従来のInGaP/GaAsヘテロ接合バイポーラトランジスタと比較し、高い破壊耐性を有したヘテロ接合バイポーラトランジスタの形成が可能である。この発明により、InGaP/GaAs HBTはGSM方式送信部パワー増幅器として新しい可能性を示すことが出来るため、本発明の効果は非常に大きい。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に関わるHBTの構造について示す断面図

【図2】

本発明の第1の実施の形態に関わるHBTの製造方法を示す断面図

【図3】

本発明の第1の実施の形態に関するHBTの製造方法を示す断面図

【図4】

従来のHBTのVc-Ic曲線及び破壊曲線を示す図

【図5】

HBTでの電界強度シミュレーション図

【図6】

従来のHBTの構造について示す断面図

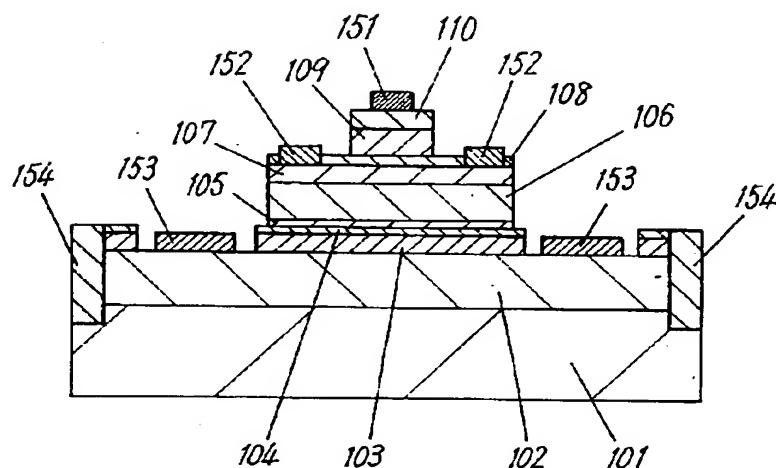
【符号の説明】

- 101 半絶縁性GaN基板
- 102 n⁺型GaNサブコレクタ層
- 103 n型InGaP第1のコレクタ層
- 104 n型InGaP第1のスペーサ層
- 105 n型GaN第2のスペーサ層
- 106 n型GaN第2のコレクタ層
- 107 p型GaNベース層
- 108 n型In_{0.48}GaPエミッタ層
- 109 n型GaNエミッタキャップ層
- 110 n型InGaNエミッタコンタクト層
- 141～145 フォトレジスト
- 151 エミッタ電極
- 152 ベース電極
- 153 コレクタ電極

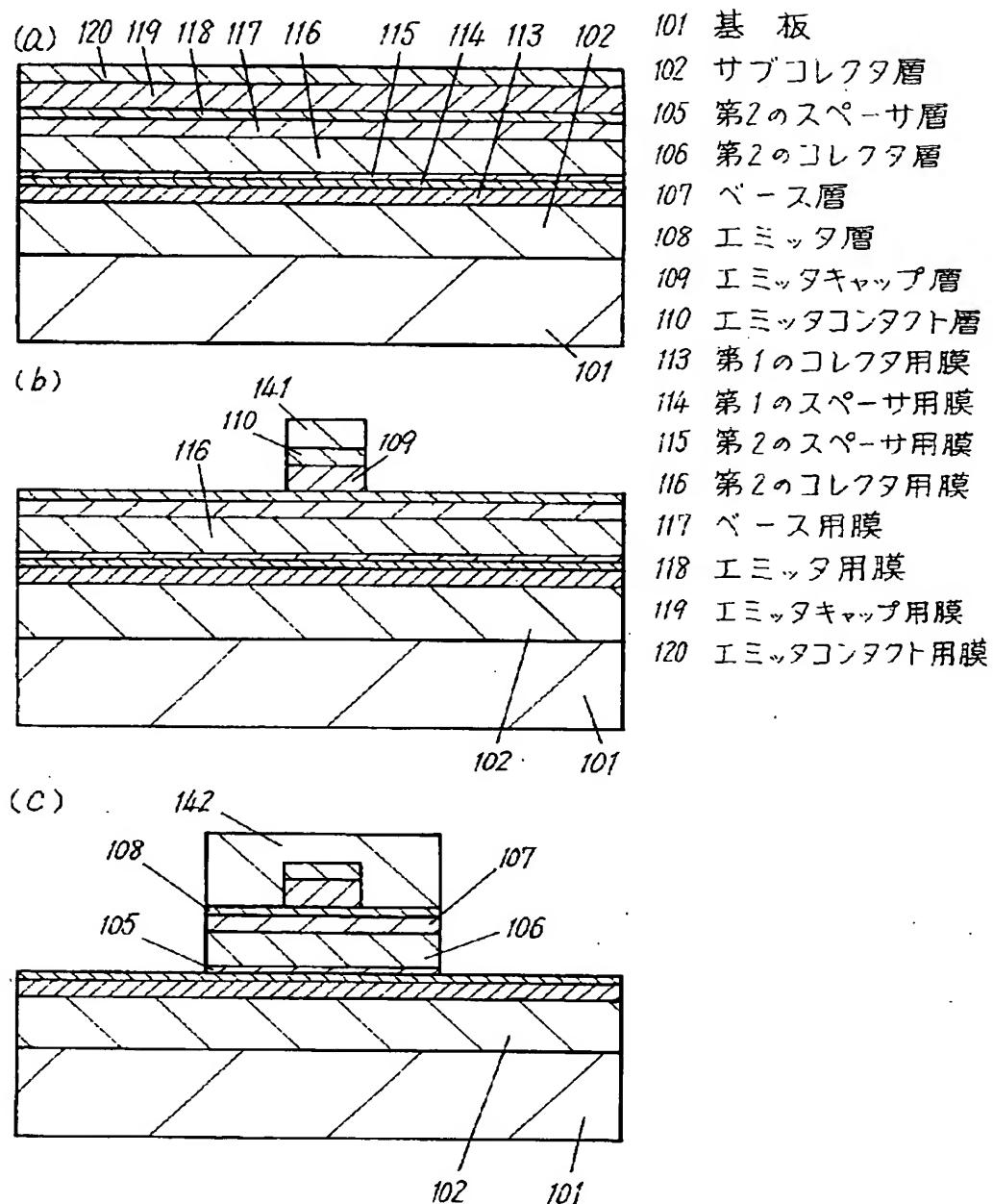
【書類名】 図面

【図1】

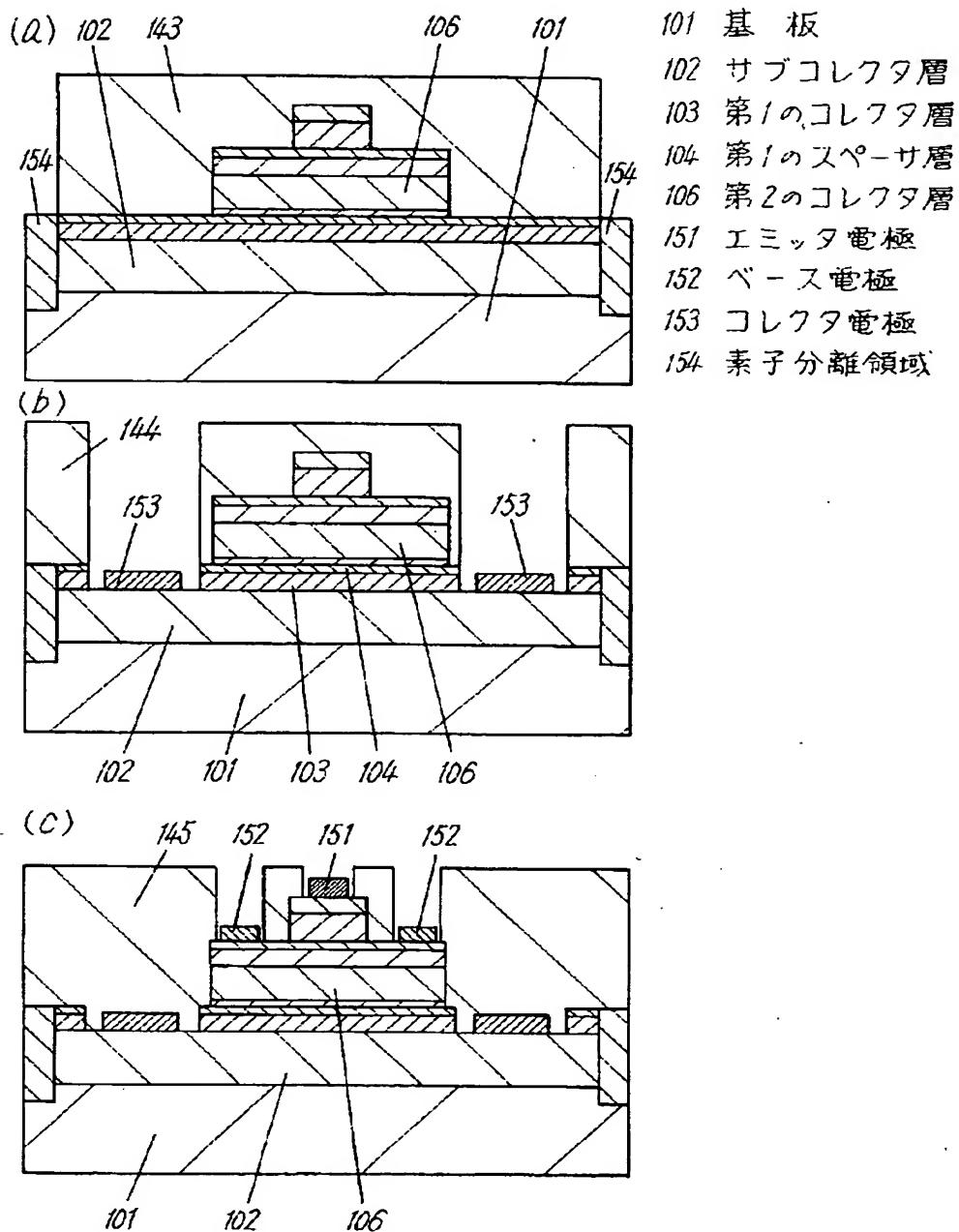
- 101 基板
102 サブコレクタ層
103 第1のコレクタ層
104 第1のスペーサ層
105 第2のスペーサ層
106 第2のコレクタ層
107 ベース層
108 エミッタ層
109 エミッタキャップ層
110 エミッタコンタクト層
151 エミッタ電極
152 ベース電極
153 コレクタ電極
154 素子分離領域



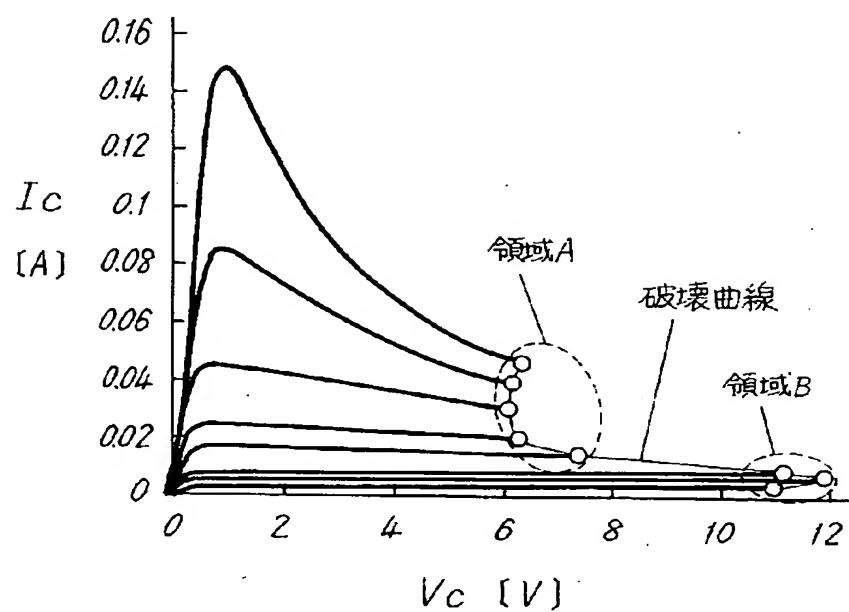
【図2】



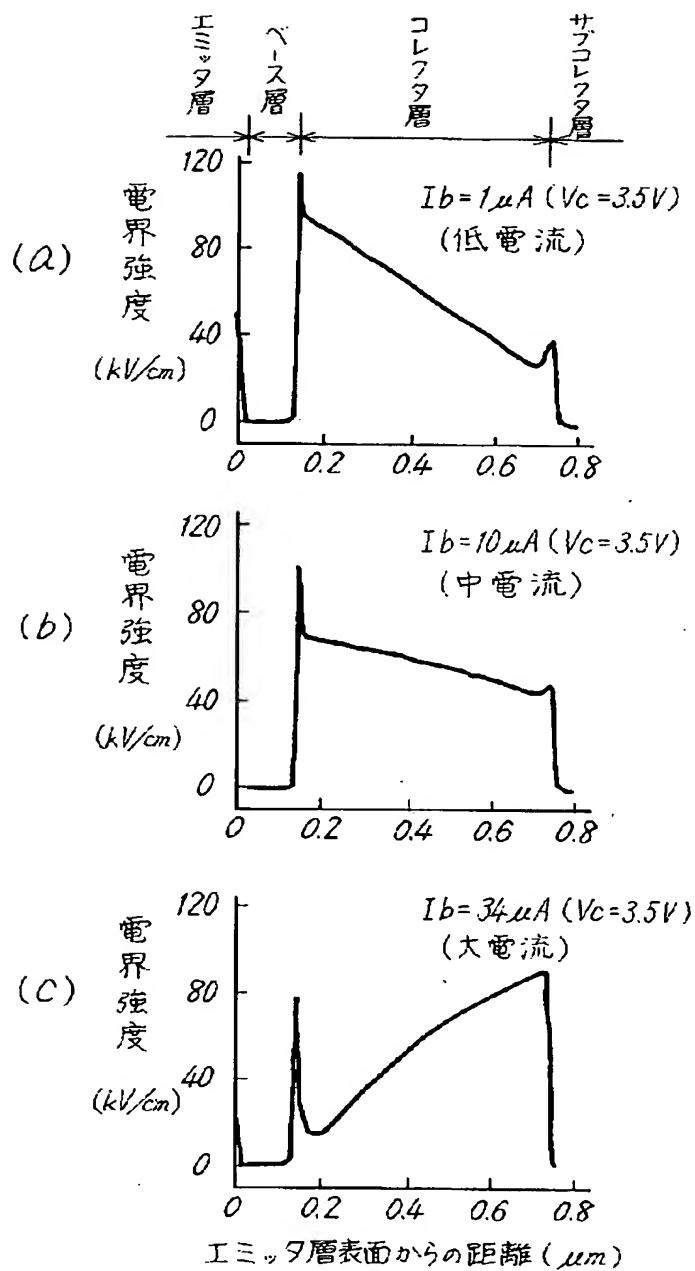
【図3】



【図4】

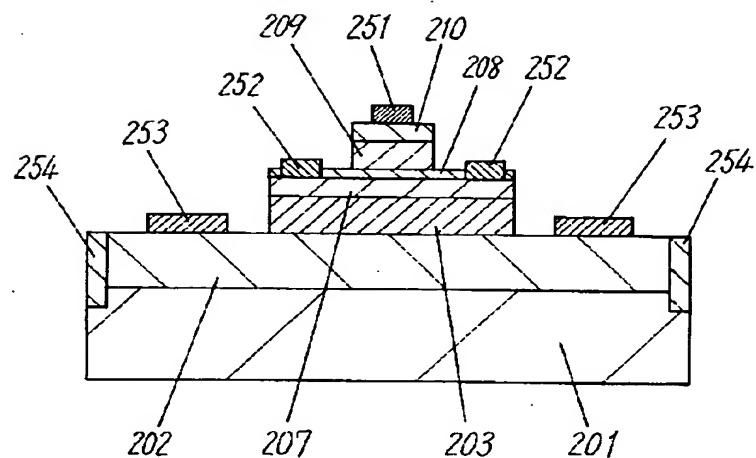


【図5】



【図6】

- 201 基板
- 202 サブコレクタ層
- 203 コレクタ層
- 207 ベース層
- 208 エミッタ層
- 209 エミッタキャップ層
- 210 エミッタコントラクト層
- 251 エミッタ電極
- 253 コレクタ電極
- 254 素子分離領域



【書類名】 要約書

【要約】

【課題】 ヘテロ接合バイポーラトランジスタにおいて、大電流動作時における破壊耐性を向上させる。

【解決手段】 n^+ 型GaAsのサブコレクタ層102上に、サブコレクタ層よりアバランシェ係数の小さい半導体材料からなり且つ濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上である第1のコレクタ層103と、i型又は低濃度n型GaAs第2のコレクタ層106が順次形成されており、第1のコレクタ層と第2のコレクタ層の間に伝導帯の不連続を緩和する半導体層として、第1のコレクタ層と同一の材料で $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度の第1のスペーサ層104と第2のコレクタ層と同一の材料で $1 \times 10^{18} \text{ cm}^{-3}$ の濃度の第2のスペーサ層105とが順次形成されており、第2のコレクタ層上にp型のGaAsベース層107、n型のバンドギヤップの大きな半導体材料からなるエミッタ層108が順次形成されている。

【選択図】 図1

特願2003-186827

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社